

# Realizacija laboratorijskih vežbi iz digitalne elektronike korišćenjem FPGA čipa

## Using FPGA chip in digital electronics laboratory exercise

Bojan Jovanović, Milun Jevtić  
Elektronski fakultet u Nišu

**Sadržaj** – U ovom radu predstavljen je način na koji su, na Elektronskom fakultetu u Nišu, modernizovane laboratorijske vežbe iz predmeta Digitalna elektronika. Sa ciljem da budu savremene i motivišu studente za usvajanje znanja, bazirane su na Alterinoj DE1 razvojnoj ploči i Quartus II softverskom razvojnom okruženju. Predstavljen je postupak izvođenja laboratorijske vežbe sa aktivnostima koje student ima tokom laboratorijske vežbe. Na kraju je dat i kratak opis svih laboratorijskih vežbi.

**Abstract** – This document presents the organization of laboratory exercises in Digital Electronics at the Faculty of Electronic Engineering, University of Nis. In order to be modern and to motivate students for learning, they are based on Altera's DE1 development board and Quartus II software development environment. At first, organization of the laboratory as well as laboratory workplace are described. Student activities during laboratory exercise and brief description of all exercise are illustrated after.

### 1. UVOD

Osavremenjavanje visokoškolske nastave nije neophodno samo zbog pružanja studentima novih, savremenih znanja, već i zbog iznalaženja načina kako angažovati studenta da na lak i efikasan način suštinski usvoji ova znanja. Nastava iz jednosemestralnog predmeta Digitalna elektronika se na Elektronskom fakultetu u Nišu organizuje na drugoj godini akademskih studija, sa fondom časova 2p+2rv+2lv. Predmet Digitalna elektronika imaju skoro svi smerovi. Budući da je predmet na drugoj godini i da je za većinu studenata ovo jedini predmet gde izučavaju digitalna kola i sklopove, osnovni cilj predmeta je da studenti steknu znanja o digitalnim kolima i sklopovima najpre na funkcionalnom nivou. Cilj je da studenti budu osposobljeni da mogu pravilno da primenjuju digitalna kola i osnovne digitalne sklopove u realizaciji različitih elektronskih sistema. Može se reći da je zadatak da studenti steknu neophodna znanja za nastavak studija. Ali, važno je i da se na neki način studenti motivišu za dalji rad i da im se obogati njihovo praktično iskustvo. Laboratorijske vežbe iz Digitalne elektronike su mesto gde se najviše može uticati na studenta u ostvarivanju poslednjih ciljeva i omogućiti mu da na moderan način ostvari prvi

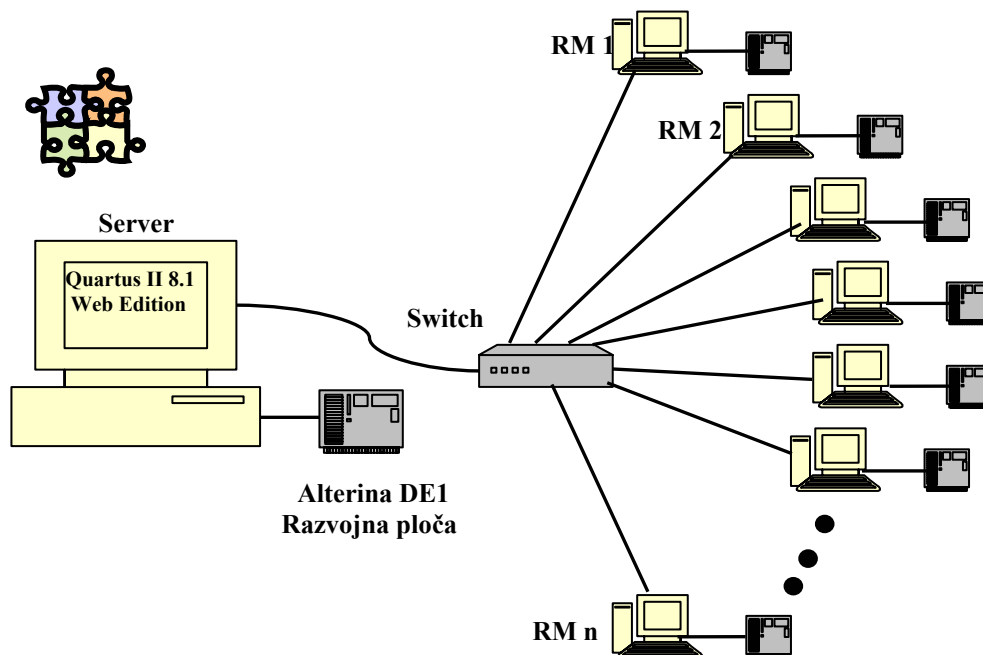
konkretan kontakt sa onim na čemu su bazirani svi savremeni elektronski sistemi.

### 2. ZAHTEVI ZA SAVREMENO IZVOĐENJE LABORATORIJSKIH VEŽBI IZ DIGITALNE ELEKTRONIKE

Savremeno izvođenje laboratorijskih vežbi podrazumeva da svaki od studenata za vreme izvođenja vežbi radi samostalno, na potpuno opremljenom radnom mestu, uz neophodnu stručno-tehničku pomoć prisutnog asistenta - nastavnika. Organizacija laboratorije za digitalnu elektroniku na Elektronskom fakultetu u Nišu prikazana je na slici 1. Kao što se vidi, u laboratoriji postoji jedan računar-server, rezervisan za nastavnika laboratorijskih vežbi. Računari na bazi kojih su realizovana studentska radna mesta su preko mrežnog switch-a povezani sa server-računarom. Student pristupa jednom od slobodnih računara i unošenjem svog korisničkog imena (user name-a) i lozinke (password-a) aktivira svoj nalog (account). Sve što student tokom vežbi radi, memoriše u folder koji nosi ime njegovog broja indeksa i koji se nalazi na serveru. Svaki student može da pristupi jedino folderu sa njegovim brojem indeksa. Računar-server ima dozvolu pristupa svim folderima. Time je nastavniku omogućeno da prati rad svih studenata koji izvode vežbe.

### 3. LABORATORIJSKO RADNO MESTO

Svako laboratorijsko radno mesto opremljeno je Alterinom DE1 razvojnom pločom (Development&Education) i računarom sa instaliranim Quartus II 8.1 Web Edition softverskim paketom. Pored toga, svaki student koristi i laboratorijski praktikum u kome su mu definisani konkretni zadaci koje rešava tokom izvođenja laboratorijskih vežbi.



Slika 1. Laboratorija za izvođenje laboratorijskih vežbi iz digitalne elektronike

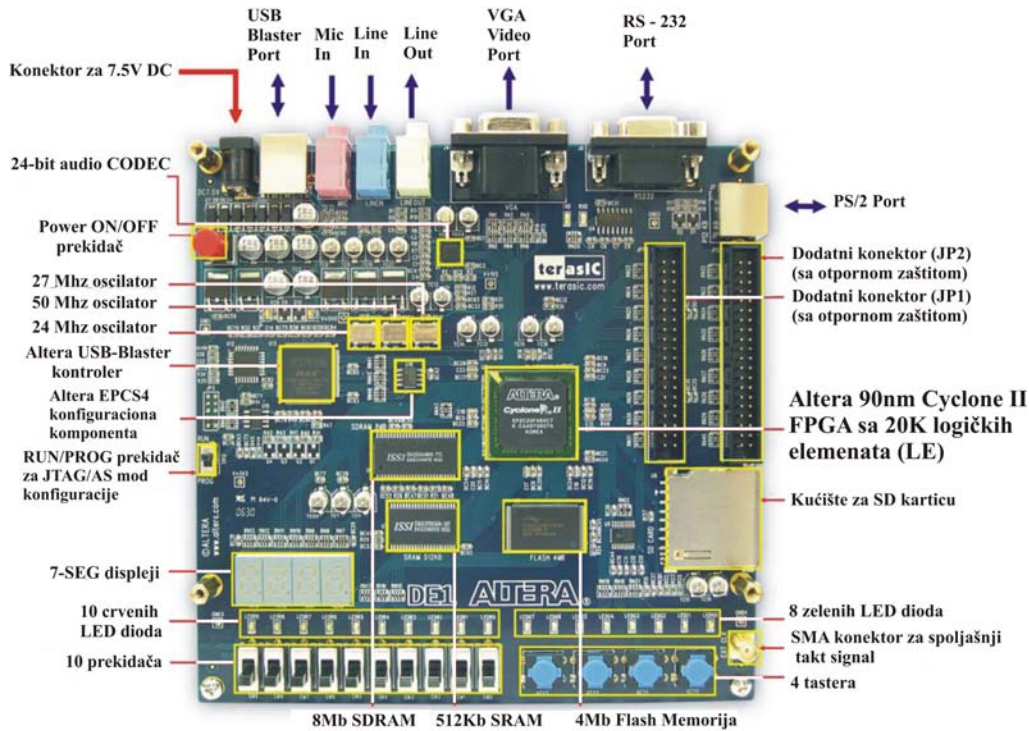
## RAZVOJNA PLOČA ALTERA DE1

DE1 razvojna ploča sadrži Cyclone II 2C20 FPGA (Field Programmable Gate Array) u FBGA kućištu sa 484 pina. Sve komponente na ploči povezane su na pinove ovog FPGA čipa, omogućavajući tako korisniku da kontroliše sve operacije koje se izvršavaju na ploči. Za jednostavne eksperimente, DE1 ploča sadrži dovoljan broj robustnih prekidača i tastera, svetlećih (LED) dioda i 7-segmentnih displeja. Za realizaciju složenijih digitalnih sklopova tu su SRAM, SDRAM i Fleš memorijski čipovi. Za projekte koji zahtevaju procesor i proste I/O interfejse, može se lako instancirati Alterin Nios II procesor i koristiti RS-232 i PS/2 interfejsi. Za eksperimente koji uključuju zvučne i video signale, postoje standardni konektori za mikrofona, line-in, line-out (24-bit audio CODEC), konektor za SD memorijsku karticu i VGA konektor. DE1 razvojnu ploču moguće je povezati sa okolinom ili nekim drugim razvojnim pločama preko dva 40-pinska IDC konektora.

DE1 razvojna ploča prikazana je na slici 2. Na slici su naznačeni položaji konektora i ključnih komponenti.

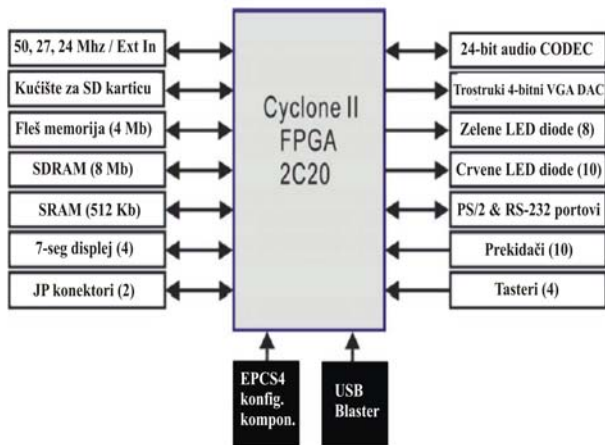
Razvojna ploča omogućava korisniku da implementira veoma veliki broj projektovanih kola, od jednostavnih do veoma složenih. Na ploči se nalazi sledeći hardver:

- Altera Cyclone II 2C20 FPGA čip koji sadrži:
  - 18.752 logička elementa (LE)
  - 52 RAM memorijska bloka po 4Kb
- 26 ugrađenih množača
- 4 PLL petlje
- 315 korisničkih I/O pinova
- FBGA 484-pinsko kućište
- Altera EPCS4 – komponenta za serijsku konfiguraciju
- USB Blaster (na ploči) za programiranje i korisničku API (Application Programming Interface) kontrolu; podržani su i JTAG (Joint Test Action Group) i AS (Active Serial) načini programiranja.
- 512 Kbajta SRAM
- 8 Mbajta SDRAM
- 4 Mbajta Fleš memorija
- Kućište za SD karticu
- 4 tastera
- 10 prekidača
- 10 crvenih svetlećih dioda (LEDR9-0)
- 8 zelenih svetlećih dioda (LEDG7-0)
- 50 MHz oscilator, 27 MHz oscilator i 24 MHz oscilator kao generatori taktnih signala
- 24-bitni audio CODEC sa line-in, line-out i mikrofonskim priključcima
- VGA DAC (4-bitna otporna mreža) sa VGA-out konektorom
- RS-232 transiver i 9-pinski konektor
- PS/2 konektor za miša/tastaturu
- Dva 40-pinska IDC konektora sa otpornom zaštitom FPGA čipa (JP1 i JP2)
- Konektor za napajanje (7.5V DC)



Slika 2. Alterina DE1 razvojna ploča

Slika 3. prikazuje blok dijagram DE1 ploče. Kao što se vidi sa blok dijagrama, sve komponente su povezane na Cyclone II FPGA čip, čime je obezbeđena maksimalna fleksibilnost za korisnika.



Slika 3. Blok dijagram DE1 razvojne ploče  
Kao dodatak hardveru, postoji i *DE1 Control Panel* softverska aplikacija pomoću koje se, preko USB porta, može upravljati komponentama na razvojnoj ploči.

### 3.1 RAZVOJNO SOFTVERSKO OKRUŽENJE

Za programiranje FPGA čipa na DE1 razvojnoj ploči koristi se *Quartus II 8.1 Web Edition* softverski paket. Instalacija se nalazi na Alterinom Web sajtu <https://www.altera.com/support/software/download/altera>

[\\_design/quartus\\_we/dnl-quartus\\_we.jsp](#) i besplatna je za download-ovanje. Quartus softverski paket pruža jedno od najkompletnijih okruženja za SOPC (system-on-a-programmable-chip) projektovanje. Na laboratorijskim vežbama iz Digitalne elektronike korišćen je Quartus II šematik editor u kome student crta logičke šeme sistema koje prenosi na FPGA čip. Logičke šeme sastoje se isključivo od elemenata koji se nalaze u Quartus II bibliotekama. Kao alternativa šematik editoru postoji tekstualni editor koji podržava VHDL i Verilog programske jezike za opis hardvera.

### 4. POSTUPAK IZVOĐENJA LABORATORIJSKE VEŽBE

Tok izvođenja jedne laboratorijske vežbe algoritamski je prikazan na slici 4. Praktikum za laboratorijske vežbe iz digitalne elektronike pored zadataka koji su namenjeni studentima sadrži i teorijske uvode. Svaka vežba praćena je teorijskim uvodom koji pokriva oblasti iz digitalne elektronike koje su zastupljene u vežbi. Pošto prouči teorijski uvod za vežbu, student nailazi na konkretan zadatak koji treba da reši. Zadatak je postavljen tako da student do rešenja dolazi tako što crta odgovarajuću logičku šemu ili popunjava tabelu istinitosti prekidačkih funkcija i, minimizacijom preko karnoovih mapa, dolazi do logičkog izraza za minimalni oblik prekidačke funkcije. Pošto dođe do rešenja, student uz pomoć Quartus II CAD (Computer Aided Design) alata kreira novi projekat u okviru koga, u šematik editoru Quartus II softvera, kreira logičku šemu do koje je došao. Nakon crtanja logičke šeme vrši se kompajliranje projekta. U slučaju da kompajler prijavi grešku, student je pronalazi i ispravlja. U tome mu u mnogome

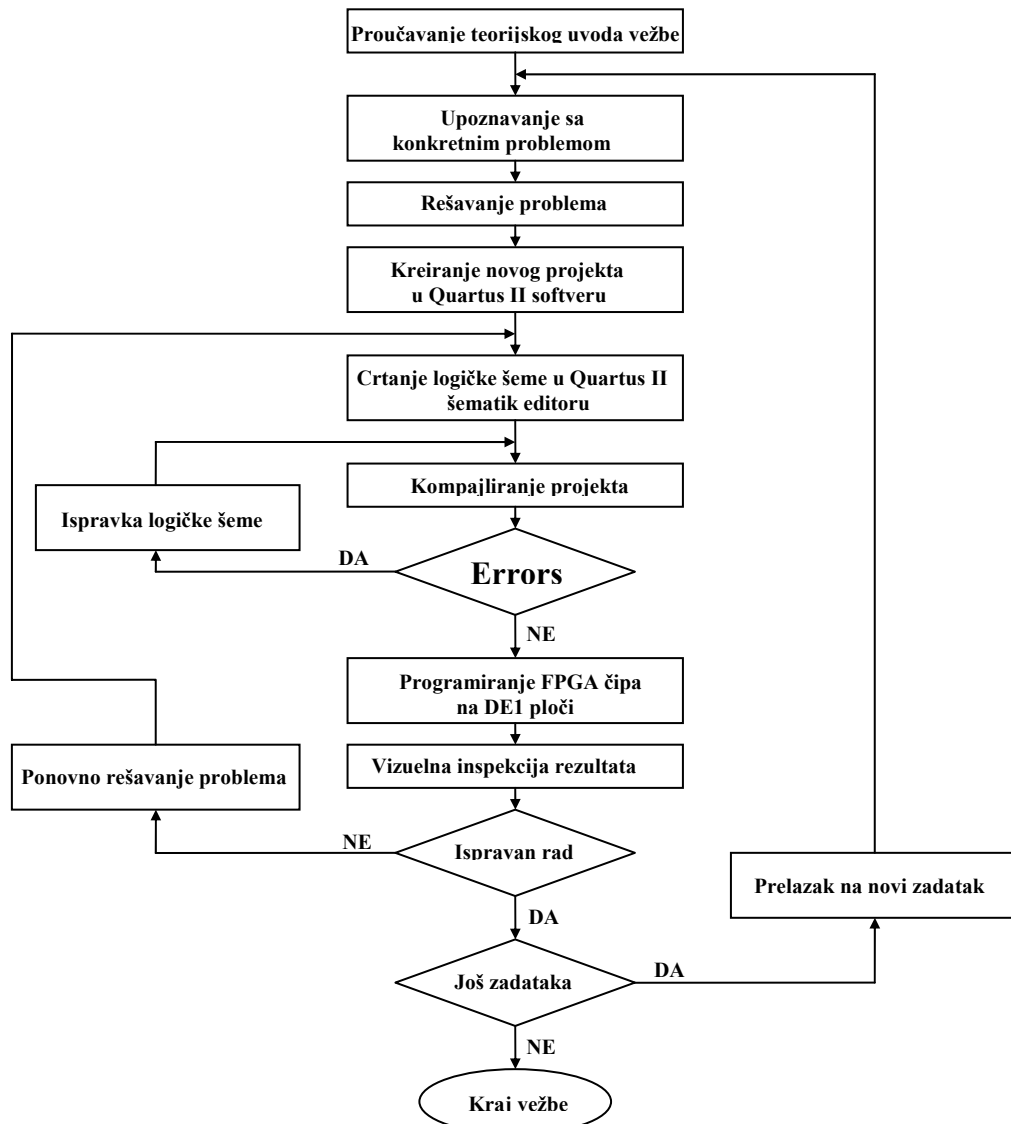
pomaže kompajler koji, pored toga što prijavljuje da je došlo do greške, daje i njen opis i ukazuje na mesto u logičkoj šemi gde ona postoji. Pošto je ispravio grešku, student ponovo kompajlira projekat i, ako kompajler prijavi uspešno kompajliranje, programira FPGA čip. U slučaju da je kompajler ponovo prijavio grešku, student mora da je ispravlja sve dok se ne desi uspešno kompajliranje.

Pošto programira FPGA čip, student vizuelnom inspekcijom ploče ispituje da li logička šema koju je, u postupku programiranja, preneo na FPGA čip predstavlja rešenje zadatka. Vizuelna inspekcija se sastoji u tome da se, za različite kombinacije logičkih nivoa na ulazu logičke šeme, posmatraju stanja izlaza. Kao ulazi logičkih kola uglavnom se koriste tasteri i logički prekidači. Oni se mogu naći u jednom od dva moguća položaja koji predstavljaju stanja logičke nule i logičke jedinice. Izlazi logičkih kola uglavnom se vode na

svetleće diode i 7-segmentne displeje kako bi se njihova stanja mogla posmatrati. U slučaju da projektovano logičko kolo ne obavlja željenu funkciju, student je dužan da na njemu izvrši neophodne izmene kako bi ono obavljalo funkciju definisanu zadatkom. Pošto se uveri da logičko kolo obavlja zadatak funkciju, student prelazi na rešavanje sledećeg zadatka. Za svaku laboratorijsku vežbu student dobija po jednu ocenu. Ocenjivanje se vrši po unapred utvrđenom kriterijumu, u zavisnosti od toga koliko je zadataka student uspešno rešio.

## 5. REALIZOVANE LABORATORIJSKE VEŽBE

Tokom laboratorijski vežbi student vrši praktičnu realizaciju problema koje na teorijskom nivou razmatra na predavanjima i računskim vežbama. Jedan kompletan ciklus laboratorijskih vežbi iz digitalne elektronike sastoji se od sedam vežbi koje prate nastavni plan i program iz ovog predmeta i nadovezuju se na predavanja i računске vežbe.



Slika 4. Algoritamski prikaz izvođenja jedne laboratorijske vežbe

Laboratorijske vežbe se rade sledećim redosledom:

1. Uvod u Quartus II šematik editor;
2. Multiplekseri, dekoderi, 7-segmentni displej;
3. Konverzija binarnih u decimalne brojeve, potpuni sabirač (full-adder);
4. Leč kola i flip-flopovi, registri;
5. Sinhroni brojački registri;
6. Sabirači, oduzimači, množači;
7. Memorijski blokovi.

U prvoj vežbi, koja predstavlja neku vrstu obuke, student se upoznaje sa DE1 razvojnom pločom i Quartus II softverskim okruženjem. Kroz konkretan primer savladavaju se Quartus II šematik editor i načini kreiranja logičke šeme, Quartus II simulator i postupci programiranja FPGA čipa. Pored ove vežbe, kao pomoć studentu prilikom izvođenja ostalih vežbi, na kraju praktikuma nalazi se dodatak pod nazivom *Quartus II u kratkim crtama* u kome su ukratko objašnjeni svi koraci koji su neophodni za kreiranje novog projekta u Quartus II i programiranje FPGA čipa.

U preostalim vežbama obrađena su kombinaciona (multiplekseri, dekoderi, konvertori kodova), sekvencijalna (lečevi, flip-flopovi, registri, brojači) i aritmetička (sabirači, oduzimači, množači) kola, kao i memorije.

## 6. ZAKLJUČAK

Dosadašnje iskustvo u izvođenju laboratorijskih vežbi pokazalo je da su studenti motivisani za rad na vežbama i da ta motivacije ne potiče samo od toga što se vežbe ocenjuju već i zato što su prepoznali da, radeći sa najsavremenijim programskim paketima i aktuelnim programabilnim komponentama, stižu dragoceno praktično iskustvo.

Treba reći i to da su laboratorijske vežbe međusobno povezane logičkim sledom materije koju obrađuju. Studentu su, da bi uspešno odradio vežbu neophodni delovi i logičke šeme koje je u prethodnim vežbama realizovao. Tako, na primer, da bi realizovao sinhroni brojač na bazi D flip-flova i njegova stanja prikazao na 7-segmentni displej, neophodno je da su u prethodnim vežbama uspešno realizovani D flip-flop i 7-segmentni dekođer. Na taj način se obezbeđuje usvajanje strukturnog znanja sa zaokruženim logičkim vezama, što je veoma značajno u razvoju kreativnosti i percepcije budućeg inženjera.

## LITERATURA

- [1] Tešić S., *Integrirana digitalna elektronika*, Naučna knjiga, Beograd, 1986.
- [2] Živković D., Popović M., *Impulsna i digitalna elektronika*, Nauka, Beograd, 1992.
- [3] Kostopoulos G. K., *Digital Engineering*, John Wiley, New York, 1975.
- [4] Kohonen T., *Digital Circuit and Devices*, Prentice-Hall, Englewood Cliffs, 1972.
- [5] Norris B., *Electronic Power Control and Digital Techniques*, Texas Instruments, McGraw-Hill, New York, 1976.
- [6] Taub H., Schilling D., *Digital Integrated Electronics*, McGraw-Hill, New York, 1976.
- [7] Ronald T., Neal W., Gregory M., *Digital Systems Principles and applications*, Prentice-Hall, New Jersey, 2007.
- [8] <http://www.altera.com/education/univ/materials/manual/unv-lab-manual.html>